



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0006366
Application Number

출원 년 월 일 : 2003년 01월 30일
Date of Application JAN 30, 2003

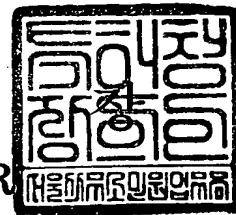
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 05 일

특 허 청

COMMISSIONER





1020030006366

출력 일자: 2003/9/16

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0024
【제출일자】	2003.01.30
【국제특허분류】	H01L
【발명의 명칭】	시그너처 퓨즈의 데이터를 노멀 리드 동작을 통해 독출할 수 있는 반도체 메모리 장치 및 반도체 메모리 장치의 시그너처 퓨즈의 데이터를 노멀 리드 동작을 통해 독출하는 방법
【발명의 영문명칭】	Semiconductor memory device capable of reading the data of signature fuse through normal read operation and method for reading the data of signature fuse through normal read operation in semiconductor memory device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	조성범
【성명의 영문표기】	CH0, Sung Bum
【주민등록번호】	620128-1002117
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 1167번지 진산마을 삼성5차아파트 52 6-1506
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

이영필 (인) 대리인

정상빈 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 18 면 18,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 12 항 493,000 원

【합계】 540,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

시그너처 퓨즈의 데이터를 노멀 리드 동작을 통해 독출할 수 있는 반도체 메모리 장치 및 반도체 메모리 장치의 시그너처 퓨즈의 데이터를 노멀 리드 동작을 통해 독출하는 방법이 제공된다. 반도체 메모리 장치는 복수개의 메모리 셀들을 포함하는 메모리 셀 어레이를 구비하는 반도체 메모리 장치에 관한 것으로, 입력 버퍼 및 출력 버퍼를 구비한다. 입력 버퍼는 반도체 메모리 장치의 테스트 모드가 진행되는 동안 각각의 메모리 셀들에 시그너처 퓨즈의 데이터를 기입한다. 출력 버퍼는 반도체 메모리 장치의 노멀 리드 동작을 통해 기입된 시그너처 퓨즈의 데이터를 독출한다. 시그너처 퓨즈의 데이터는 시그너처 퓨즈의 절단 여부에 따른 "0"의 데이터 또는 "1"의 데이터이다. 테스트 모드에서 시그너처 퓨즈의 데이터를 출력하기 위한 회로들이 출력 버퍼에 연결되지 않으므로, 출력 버퍼의 부하가 증가하지 않는다. 그 결과, 노멀 리드 동작이 수행될 때 출력 버퍼를 통한 데이터의 독출 속도가 감소되지 않을 수 있다.

【대표도】

도 3

【명세서】

【발명의 명칭】

시그너처 퓨즈의 데이터를 노멀 리드 동작을 통해 독출할 수 있는 반도체 메모리 장치 및 반도체 메모리 장치의 시그너처 퓨즈의 데이터를 노멀 리드 동작을 통해 독출하는 방법
 {Semiconductor memory device capable of reading the data of signature fuse through normal read operation and method for reading the data of signature fuse through normal read operation in semiconductor memory device}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 종래 기술에 따른 테스트 모드를 이용하여 시그너처 퓨즈의 데이터를 디지털적으로 독출할 수 있는 반도체 메모리 장치를 개략적으로 나타내는 블록 다이어그램이다.

도 2a 및 도 2b는 도 1의 반도체 메모리 장치에서 시그너처 퓨즈의 데이터가 독출되는 독출 동작을 나타내는 예시적인 타이밍 다이어그램이다.

도 3은 본 발명의 일 실시예에 따른 시그너처 퓨즈의 데이터를 노멀 리드 동작을 독출할 수 있는 반도체 메모리 장치를 나타내는 블록 다이어그램이다.

도 4는 도 3에 도시된 퓨즈박스 선택회로를 보다 상세히 나타내는 도면이다.

도 5는 도 3에 도시된 퓨즈 박스들 중 하나를 보다 상세히 나타내는 회로도이다.

도 6은 본 발명의 다른 실시예에 따른 시그너처 퓨즈의 데이터를 노멀 리드 동작을 통해 독출할 수 있는 반도체 메모리 장치를 나타내는 블록 다이어그램이다.

도 7은 본 발명의 일 실시예에 따른 반도체 메모리 장치의 시그너처 퓨즈의 데이터를 노멀 리드 동작을 통해 독출하는 방법을 나타내는 플로우 차트이다.

도 8은 본 발명의 다른 실시예에 따른 반도체 메모리 장치의 시그너처 퓨즈의 데이터를 노멀 리드 동작을 통해 독출하는 방법을 나타내는 플로우 차트이다.

< 도면의 주요 부분에 대한 부호의 설명 >

210 : 퓨즈박스 선택회로 221 ~ 22n : 복수개의 퓨즈박스들

230 : 입력 버퍼 260 : 메모리 셀 어레이

280 : 출력 버퍼 380 : 내부 어드레스 발생기

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 반도체 메모리 장치에 관한 것으로, 보다 상세하게는, 시그너처 퓨즈의 데이터를 노멀 리드 동작을 통해 독출할 수 있는 반도체 메모리 장치 및 반도체 메모리 장치의 시그너처 퓨즈의 데이터를 노멀 리드 동작을 통해 독출하는 방법에 관한 것이다.

<15> 일반적으로, 반도체 메모리 장치의 생산 이력(fabrication history)은, 마스크(mask) 및 퓨즈(fuse)에 관한 정보, 웨이퍼 가공(wafer fabrication)에 관한 정

보, 패키지 조립(package assembly) 및 테스트에 관한 정보 등과 같은 다양한 정보들을 포함한다. 그런데, 반도체 메모리 장치의 생산 과정(product flow)이 웨이퍼 가공 공정(wafer fabrication process), 패키지 조립 공정, 및 모듈 조립 공정(module assembly process)으로 진행될 때, 중요한 생산 이력이 손실되는 경우가 발생할 수 있다. 따라서, 상기 생산 이력의 손실을 방지하기 위하여, 반도체 메모리 장치 내부에 중요한 생산 이력이 기입되고 있다.

<16> 반도체 메모리 장치 내부에 생산 이력을 기입(write)하는 방법은 반도체 메모리 장치 내부에 포함되는 퓨즈의 절단(cutting) 및 비절단(non-cutting)을 이용하여 기입한다. 상기 퓨즈의 종류는, 로트 번호(lot identification) 및 웨이퍼에서의 다이의 위치(die location) 등에 관한 데이터를 저장하는 시그너처 퓨즈(signature fuse), 교류 타이밍(AC timing)과 직류 전압/전류(DC voltage/current)를 조절하는 데 사용되는 트리밍 퓨즈(trimming fuse), 및 반도체 칩의 불량(fail) 여부를 분석하는 데 사용되는 리던던시 퓨즈(redundancy fuse) 등이 있다.

<17> 한편, 반도체 메모리 장치에 생산 이력을 독출(read)하는 방법은 패키지로 조립된 반도체 칩을 디캡(decap)한 후 시그너처 퓨즈의 절단 여부를 육안(naked eye)으로 확인하는 방법, 시그너처 퓨즈를 포함하는 회로에 연결된 입력 핀(예를 들어, 어드레스 입력 핀)에서 흐르는 전류량을 측정하여 시그너처 퓨즈의 데이터를 아날로그적으로 독출하는 아날로그 방법(analog method), 및 테스트 모드를 이용하여 시그너처 퓨즈의 데이터를 디지털적으로 독출하는 방법 등이 있다. 상기 아날로그 방법이 적용되는 시그너처 퓨즈를 포함하는 회로는 미국 특허 번호 4,480,199 등과 같은 많은 참고 문헌에 기재되어 있다.

<18> 도 1은 종래 기술에 따른 테스트 모드(test mode)를 이용하여 시그너처 퓨즈의 데이터를 디지털적으로 독출할 수 있는 반도체 메모리 장치를 개략적으로 나타내는 블록 다이어그램이다. 도 1을 참조하면, 종래의 기술에 따른 반도체 메모리 장치(100)는 퓨즈박스(fuse box) 선

택회로(110), 복수개의 퓨즈 박스들(121, 122, ... ,12n), 출력 파이프라인(output pipeline, 130), 출력 제어 회로(140), 출력 버퍼(output buffer, 150), 및 데이터 입력/출력 핀(DQ, 160)을 포함한다.

- <19> 상기 반도체 메모리 장치(100)는 소정의 주파수이상(즉, 고주파수)에서 동작할 수 있는 램버스 디램(Rambus DRAM))의 RLC 규격(specification) 또는 고주파수에서 동작할 수 있는 동기식 디램(synchronous DRAM)의 허용 전류 규격(IBIS: Input output Buffer Information Spec.)을 만족시키는 장치이다.
- <20> 퓨즈박스 선택회로(110)는, 클락신호(CLK)에 동기된 소정의 커맨드(command) 신호(CMD)와 소정의 어드레스 신호(ADDR)의 조합에 응답하여, 각각의 퓨즈 박스들(121, 122, ... ,12n)을 선택하는 선택 신호(SELi, 여기서, $i = 1 \sim n$)를 발생한다. 상기 클락신호(CLK)에 각각 동기된 커맨드 신호(CMD)와 어드레스 신호(ADDR)의 조합은 반도체 메모리 장치(100)가 테스트 모드의 일종인 디렉트 액세스 모드(Direct Access mode; DA mode)와 시그너처 퓨즈 리드 모드(signature fuse read mode)로 진입(entrance)하도록 하거나 또는 상기 시그너처 퓨즈 리드 모드를 종료(exit)하도록 하는 신호의 조합일 수 있다. 상기 시그너처 퓨즈 리드 모드는 시그너처 퓨즈의 데이터가 출력되기 위한 동작 모드를 말한다.
- <21> 각각의 퓨즈 박스들(121, 122, ... ,12n)은 복수개의 시그너처 퓨즈들을 포함하고, 상기 시그너처 퓨즈의 절단 여부에 따른 논리 하이(high) 레벨(즉, "1"의 데이터) 또는 논리 로우(low) 레벨(즉, "0"의 데이터)을 가지는 복수개의 비트(bit)들로 구성되는 시그너처 퓨즈의 데이터를 저장한다. 각각의 퓨즈 박스들(121, 122, ... ,12n)은 선택 신호(SELi)에 응답하여 상기 저장된 데이터를 출력한다. 상기 데이터는 웨이퍼에서 반도체 칩(또는 다이(die))의 위치,

상기 반도체 칩을 포함하는 로트 번호, 및 상기 반도체 칩을 포함하는 웨이퍼 번호 등에 관한 정보를 포함할 수 있다.

- <22> 출력 제어 회로(140)는, 클락 신호(CLK)에 동기된 커맨드 신호(CMD)에 응답하여, 출력 파이프라인(130)을 제어하는 제어신호를 발생한다. 상기 커맨드 신호는 시그너처 퓨즈 리드 모드의 진입을 지시하는 신호일 수 있다.
- <23> 출력 파이프라인(130)은, 출력 제어 회로(140)로부터 발생된 제어신호에 응답하여, 각각의 퓨즈박스들(121 ~ 12n)로부터 출력되는 시그너처 퓨즈에 관한 병렬 데이터(parrel data)를 직렬 데이터(serial data, SIG_D)로 변환시키고, 상기 직렬 데이터(SIG_D)를 클락신호(CLK)에 동기시켜 순차적으로(sequentially) 출력한다.
- <24> 출력 버퍼(150)는, 클락 신호(CLK)에 각각 동기된 커맨드 신호(CMD)와 어드레스 신호(ADDR)의 조합에 응답하여, 출력 파이프라인(130)으로부터 출력되는 시그너처 퓨즈의 직렬 데이터(SIG_D) 또는 노멀 리드 동작(normal read operation)에 의한 출력 데이터(DOUT) 중 하나를 선택하여 데이터 입력/출력 핀(DQ, 160)으로 전달한다. 상기 클락 신호(CLK)에 각각 동기된 커맨드 신호(CMD) 및 어드레스 신호(ADDR)의 조합은 반도체 메모리 장치(100)가 테스트 모드 중 시그너처 퓨즈 리드 모드 또는 노멀 리드 동작으로 진입하도록 하는 신호의 조합일 수 있다. 그리고, 상기 노멀 리드 동작은 반도체 메모리 장치(100)의 메모리 셀들(미도시)에 저장된 데이터(DOUT)를 독출하는 동작을 말한다.
- <25> 도 2a 및 도 2b는 도 1의 반도체 메모리 장치에서 시그너처 퓨즈의 데이터가 독출되는 독출 동작을 나타내는 예시적인 타이밍 다이어그램이다. 부가하여 설명하면, 도 2a 및 도 2b는 램버스 디램에서 시그너처 퓨즈의 데이터가 독출되는 독출 동작을 나타낸다.

- <26> 도 2a 및 도 2b를 참조하면, 시그너처 퓨즈의 데이터에 대한 독출 동작은 디렉트 액세스 모드 셋팅(setting) 구간, 시그너처 퓨즈 리드 모드 셋팅 구간, 레지스터 플레이밍(register framing) 구간, 리퀘스트 패킷(request packet) 입력 구간, 어드레스 패킷(address packet) 입력 구간, 더미 패킷(dummy packet) 출력 구간 및 시그너처 퓨즈의 데이터 독출 구간의 순서로 수행된다.
- <27> 디렉트 액세스 모드 셋팅 구간에서는, 클락 신호(SCK)에 각각 동기되는 커맨드 신호(CMD)와 직렬 입력/출력 핀(serial input/output pin: SI00)을 통해 입력되는 어드레스 신호(ADDR)의 조합으로부터 테스트 모드 중 디렉트 액세스 모드가 셋팅된다. 그러면, 디렉트 액세스 모드의 활성화/비활성화를 지시하는 디렉트 액세스 모드 신호(DAmode)가 하이 레벨(high level)로 활성화된다.
- <28> 시그너처 퓨즈 리드 모드 셋팅 구간에서는, 클락 신호(SCK)에 각각 동기되는 커맨드 신호(CMD)와 직렬 입력/출력 핀(SI00)을 통해 입력되는 어드레스 신호(ADDR)의 조합으로부터 테스트 모드 중 시그너처 퓨즈 리드 모드가 셋팅된다. 그러면, 시그너처 퓨즈 리드 모드의 활성화/비활성화를 지시하는 시그너처 퓨즈 리드 모드 신호(SIG_RD)가 하이 레벨로 활성화된다.
- <29> 레지스터 플레이밍 구간에서는, 다음으로 입력된 패킷의 스타팅 포인트(starting point)가 결정된다. 그 후, 리퀘스트 패킷 입력 구간에서는, 램버스 디램 내부의 제어 레지스터(control register)의 독출 동작을 지정하는 리퀘스트 패킷이 직렬 입력/출력 핀(SI00)을 통해 입력된다. 다음으로, 어드레스 패킷 입력 구간에서는, 도 1의 퓨즈 박스들(121, 122, ..., 12n) 중 하나를 선택하는 데 사용되는 어드레스 패킷이 직렬 입력/출력 핀(SI00)을 통해 입력된다. 계속하여, 더미 패킷 출력 구간 및 시그너처 퓨즈의 데이터 독출 구간에서는, 직렬 입력/출력 핀(SI00)을 통해 더미 패킷이 출력된 후 시그너처 퓨즈의 데이터(SIG_D)가 순차적으

로 독출된다. 도 2b에서는 16 비트로 구성된 시그너처 퓨즈의 데이터(F1, ... , F16)가 클락 신호(SCK)에 동기되어 출력되는 것이 예로서 도시되어 있다.

<30> 그런데, 종래의 기술에 따른 데이터 리드 경로(data read path)를 통하여 시그너처 퓨즈의 데이터를 직접적으로 독출하는 반도체 메모리 장치(100)에서, 시그너처 퓨즈의 데이터를 출력하기 위한 회로들(즉, 퓨즈박스 선택회로(110), 퓨즈 박스들(121, ..., 12n), 출력 제어 회로(140), 및 출력 파이프라인(130))이 출력 버퍼(150)에 연결되어 출력 버퍼(150)의 부하(load)를 증가시킨다. 그 결과, 노멀 리드 동작이 수행될 때, 출력 버퍼(160)를 통해 출력되는 출력 데이터(DOUT)의 독출 속도(read speed)가 감소될 수 있다.

【발명이 이루고자 하는 기술적 과제】

<31> 따라서, 본 발명이 이루고자 하는 기술적 과제는, 노멀 리드 동작을 통한 출력 데이터의 독출 속도의 감소를 방지하기 위하여, 반도체 메모리 장치 내부에 저장된 시그너처 퓨즈의 데이터를 테스트 모드에서 메모리 셀들에 기입한 후, 노멀 리드 동작을 통하여 상기 메모리 셀들에 기입된 시그너처 퓨즈의 데이터를 독출할 수 있는 반도체 메모리 장치 및 반도체 메모리 장치 내부에 저장된 시그너처 퓨즈의 데이터를 노멀 리드 동작을 통해 독출하는 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<32> 상기의 기술적 과제를 달성하기 위하여 본 발명에 따른 시그너처 퓨즈의 데이터를 노멀 리드 동작을 통해 독출할 수 있는 반도체 메모리 장치는 복수개의 메모리 셀들을 포함하는 메모리 셀 어레이를 구비하는 반도체 메모리 장치에 관한 것이다. 본 발명에 따른 반도체 메모리 장치는 상기 반도체 메모리 장치의 테스트 모드가 진행되는 동안 상기 각각의 메모리 셀들에

시그너처 퓨즈의 데이터를 기입하는 입력 버퍼; 및 상기 반도체 메모리 장치의 노멀 리드 동작을 통해 상기 기입된 시그너처 퓨즈의 데이터를 독출하는 출력 버퍼를 구비하며, 상기 시그너처 퓨즈의 데이터는 상기 시그너처 퓨즈의 절단 여부에 따른 "0"의 데이터 또는 "1"의 데이터인 것을 특징으로 한다.

<33> 바람직한 실시예에 따르면, 상기 입력 버퍼는 클락신호에 각각 동기되는 소정의 커맨드 신호와 소정의 어드레스 신호의 조합에 응답하여, 상기 시그너처 퓨즈의 데이터 및 상기 반도체 메모리 장치의 노멀 라이트 동작에 의한 입력 데이터 중 하나를 상기 각각의 메모리 셀들에 기입하고, 상기 입력 데이터는 상기 시그너처 퓨즈의 데이터가 상기 각각의 메모리 셀들에 기입되기 전에 기입되는 "0"의 데이터이다.

<34> 바람직한 실시예에 따르면, 상기 반도체 메모리 장치는 상기 클락 신호에 각각 동기되는 상기 커맨드 신호와 상기 어드레스 신호의 조합을 디코딩하여, 복수개의 선택 신호들을 발생하는 퓨즈박스 선택회로; 및 상기 각각의 선택 신호들에 응답하여, 상기 시그너처 퓨즈의 데이터를 각각 출력하는 복수개의 퓨즈 박스들을 더 구비한다.

<35> 바람직한 실시예에 따르면, 상기 각각의 퓨즈 박스들을 선택하기 위해 사용되는 상기 어드레스 신호는 상기 시그너처 퓨즈의 데이터가 기입되는 각각의 메모리 셀들을 선택하기 위해 사용되는 어드레스 신호이다.

<36> 바람직한 실시예에 따르면, 상기 클락 신호에 각각 동기되는 상기 커맨드 신호와 상기 어드레스 신호의 조합은 상기 테스트 모드 중 시그너처 퓨즈 리드 모드로 진입하거나 또는 상기 시그너처 퓨즈 리드 모드를 종료하기 위한 신호의 조합이다.

- <37> 바람직한 실시예에 따르면, 상기 어드레스 신호는 상기 반도체 메모리 장치의 외부에서 인가되는 외부 어드레스 신호 또는 상기 반도체 메모리 장치의 내부 어드레스 발생기로부터 발생하는 내부 어드레스 신호이다.
- <38> 상기의 기술적 과제를 달성하기 위하여 본 발명의 일 실시예에 따른 반도체 메모리 장치의 시그너처 퓨즈의 데이터를 노멀 리드 동작을 통하여 독출하는 방법은 (a) 클락 신호에 각각 동기된 소정의 커맨드 신호와 소정의 어드레스 신호의 조합에 의해 테스트 모드 중 시그너처 퓨즈 리드 모드로 진입하는 테스트 모드 진입 단계; (b) 상기 (a) 단계의 어드레스 신호에 의해 선택되는 퓨즈 박스에 포함된 시그너처 퓨즈의 데이터를 출력하는 데이터 출력 단계; (c) 상기 출력된 시그너처 퓨즈의 데이터를 상기 (b) 단계의 어드레스 신호에 의해 선택되는 상기 반도체 메모리 장치의 메모리 셀들에 기입하는 데이터 기입 단계; (d) 상기 클락 신호에 각각 동기된 소정의 커맨드 신호 및 소정의 어드레스 신호의 조합에 의해 상기 시그너처 퓨즈 리드 모드를 종료하는 테스트 모드 종료 단계; 및 (e) 상기 기입된 시그너처 퓨즈의 데이터를 노멀 리드 동작을 통해 독출하는 데이터 독출 단계를 구비하는 것을 특징으로 한다.
- <39> 바람직한 실시예에 따르면, 상기 (a) 단계는 노멀 라이트 동작을 통해 상기 메모리 셀들에 "0"의 데이터를 기입하는 초기화 단계를 포함한다.
- <40> 바람직한 실시예에 따르면, 상기 (c) 단계는 (c1) 상기 메모리 셀들에 기입될 시그너처 퓨즈의 데이터가 마지막 시그너처 퓨즈의 데이터인 지 여부를 확인하는 확인 단계로서, 상기 마지막 시그너처 퓨즈의 데이터가 아니면 상기 (c) 단계로 진행하도록 하는 상기 확인 단계; 및 (c2) 상기 (c1) 확인 단계에서 상기 메모리 셀들에 기입될 시그너처 퓨즈의 데이터가 상기 마지막 시그너처 퓨즈의 데이터인 것으로 확인되면, 상기 마지막 시그너처 퓨즈의 데이터를 상기 메모리 셀에 기입하는 기입 단계를 포함한다.

<41> 상기의 기술적 과제를 달성하기 위하여 본 발명의 다른 실시예에 따른 반도체 메모리 장치의 시그너처 퓨즈의 데이터를 노멀 리드 동작을 통해 독출하는 방법은 (a) 클락 신호에 각각 동기된 소정의 커맨드 신호와 소정의 내부 어드레스 신호의 조합에 의해 테스트 모드 중 시그너처 퓨즈 리드 모드로 진입하는 테스트 모드 진입 단계; (b) 상기 (a) 단계의 내부 어드레스 신호에 의해 선택되는 퓨즈 박스에 포함된 시그너처 퓨즈의 데이터를 출력하는 데이터 출력 단계; (c) 상기 출력된 시그너처 퓨즈의 데이터를 상기 (b) 단계의 내부 어드레스 신호와 동일한 내부 어드레스 신호에 의해 선택되는 상기 반도체 메모리 장치의 메모리 셀들에 연속적으로 기입하는 기입 단계; (d) 상기 클락 신호에 각각 동기된 소정의 커맨드 신호 및 소정의 어드레스 신호의 조합에 의해 상기 시그너처 퓨즈 리드 모드를 종료하는 테스트 모드 종료 단계; 및 (e) 상기 기입된 시그너처 퓨즈의 데이터를 노멀 리드 동작을 통해 독출하는 데이터 독출 단계를 구비하는 것을 특징으로 한다.

<42> 바람직한 실시예에 따르면, 상기 (a) 단계는 노멀 라이트 동작을 통해 상기 메모리 셀들에 "0"의 데이터를 기입하는 초기화 단계를 포함한다.

<43> 이러한 본 발명에 따른 시그너처 퓨즈의 데이터를 노멀 리드 동작을 통하여 독출할 수 있는 반도체 메모리 장치 및 반도체 메모리 장치에 포함된 시그너처 퓨즈의 데이터를 노멀 리드 동작을 통하여 독출하는 방법은 테스트 모드에서 시그너처 퓨즈의 데이터를 메모리 셀에 기입한 후 노멀 리드 동작을 통해 독출할 수 있다. 따라서, 테스트 모드에서 시그너처 퓨즈의 데이터를 출력하기 위한 회로들이 시그너처 퓨즈의 데이터를 독출하는 출력 버퍼에 연결되지 않으므로, 출력 버퍼의 부하가 증가되지 않는다. 그 결과, 노멀 리드 동작이 수행될 때 출력 버퍼를 통해 출력되는 데이터의 독출 속도가 감소되지 않을 수 있다.

- <44> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <45> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <46> 도 3은 본 발명의 일 실시예에 따른 시그너처 퓨즈의 데이터를 노멀 리드 동작을 통해 독출할 수 있는 반도체 메모리 장치를 나타내는 블록 다이어그램이다. 도 3을 참조하면, 본 발명의 일 실시예에 따른 반도체 메모리 장치(200)는 퓨즈박스 선택회로(210), 복수개의 퓨즈 박스들(221, 222, ..., 22n), 입력 버퍼(input buffer, 230), 칼럼 디코더(column decoder, 240), 비트-라인 센스 앰플리파이어(bit-line sense amplifier, 250), 메모리 셀 어레이(memory cell array, 260), 로우 디코더(row decoder, 270), 출력 버퍼(output buffer, 280), 및 데이터 입력/출력 핀(DQ, 290)을 구비한다.
- <47> 퓨즈박스 선택회로(210)는, 클락신호(CLK)에 각각 동기된 커맨드 신호(CMD)와 어드레스 신호(ADDR)의 조합에 응답하여, 각각의 퓨즈 박스들(221, 222, ..., 22n)을 선택하는 선택 신호(CHO_i, 여기서, $i = 1 \sim n$)를 발생한다. 상기 클락 신호(CLK)에 각각 동기된 커맨드 신호(CMD)와 어드레스 신호(ADDR)의 조합은 반도체 메모리 장치(200)가 테스트 모드의 일종인 디렉트 액세스 모드(Direct Access mode; DA mode)와 시그너처 퓨즈 리드 모드(signature fuse read mode)로 진입(entrance)하도록 하거나 또는 상기 시그너처 퓨즈 리드 모드를 종료하도록 하는 신호의 조합일 수 있다. 상기 시그너처 퓨즈 리드 모드는 시그너처 퓨즈의 데이터(SIG_DAT)가 출력되기 위한 동작 모드를 말한다. 한편, 반도체 메모리 장치(200)는 상기 테스트

트 모드 중 디렉트 액세스 모드로 진입하지 않고 시그너처 퓨즈 리드 모드로 바로 진입할 수도 있다.

<48> 각각의 퓨즈 박스들(221, 222, ..., 22n)은 시그너처 퓨즈를 포함하고, 상기 시그너처 퓨즈의 절단 여부에 따른 논리 하이(high) 레벨(즉, "1"의 데이터) 또는 논리 로우(low) 레벨(즉, "0"의 데이터)을 가지는 비트(bit)로 구성되는 시그너처 퓨즈의 데이터를 저장한다. 각각의 퓨즈 박스들(221, 222, ..., 22n)은 선택 신호(CH0i)에 응답하여 상기 저장된 데이터(SIG_DAT)를 출력한다. 상기 데이터는 웨이퍼에서 반도체 칩(또는 다이(die))의 위치, 상기 반도체 칩을 포함하는 로트 번호, 및 상기 반도체 칩을 포함하는 웨이퍼 번호 등에 관한 정보를 포함할 수 있다.

<49> 입력 버퍼(230)는, 클락 신호(CLK)에 각각 동기된 커맨드 신호(CMD)와 어드레스 신호(ADDR)의 조합에 응답하여, 각각의 퓨즈 박스들(221, 222, ..., 22n)로부터 출력되는 시그너처 퓨즈의 데이터(SIG_DAT) 또는 노멀 라이트 동작(normal write operation)에 의한 입력 데이터(DIN) 중 하나를 선택하여 비트-라인 센스 앰플리파이어(250)로 전달한다. 상기 클락 신호(CLK)에 각각 동기된 커맨드 신호(CMD) 및 어드레스 신호(ADDR)의 조합은 반도체 메모리 장치(200)가 테스트 모드 중 시그너처 퓨즈 리드 모드 또는 노멀 라이트 동작으로 진입하도록 하는 신호의 조합이다. 그리고, 상기 노멀 라이트 동작은 메모리 셀 어레이(260)의 메모리 셀들에 입력 데이터(DIN)를 기입하는 동작을 말한다.

<50> 메모리 셀 어레이(260)는 복수개의 메모리 셀들을 포함한다. 로우 디코더(270)는, 상기 각각의 퓨즈박스들(221, 222, ..., 22n)내의 시그너처 퓨즈를 선택하는 데 사용된 어드레스 신호(ADDR) 중 로우 어드레스 신호(R_ADDR)를 디코딩하여, 워드 라인(word line, 미도시)을 통해 연결된 상기 각각의 메모리 셀들을 선택한다. 칼럼 디코더(240)는, 상기 각각의 퓨즈박스들

(221, 222, ..., 22n)내의 시그너처 퓨즈를 선택하는 데 사용된 어드레스 신호(ADDR) 중 칼럼 어드레스 신호(C_ADDR)를 디코딩하여, 칼럼 선택 라인 활성화 신호(CSL)를 발생한다. 여기서, 칼럼 선택 라인 활성화 신호(CSL)는 상기 각각의 메모리 셀들에 연결된 비트 라인(bit line, 미도시)을 증폭하는 비트-라인 센스 앰플리파이어(250)를 통해 연결된 칼럼 선택 라인(column selection line, 미도시)을 활성화시키는 신호이다. 한편, 상기 퓨즈박스 선택회로(210), 입력 버퍼(230), 칼럼 디코더(240), 및 로우 디코더(270)에서 사용되는 어드레스 신호는 반도체 메모리 장치(200)의 외부에서 인가되는 외부 어드레스 신호이다.

<51> 시그너처 퓨즈의 데이터(SIG_DAT)가 메모리 셀 어레이(260)의 메모리 셀들에 기입된 후 독출되는 동작을 설명하면 다음과 같다. 먼저, 상기 노멀 라이트 동작에 의해, 데이터 입력/출력 핀(290), 입력 버퍼(230), 및 비트-라인 센스 앰플리파이어(250)를 통해 "0"의 입력 데이터(DIN)가 메모리 셀 어레이(260)의 메모리 셀들에 기입될 수 있다. 다음으로, 반도체 메모리 장치(200)가 테스트 모드 중 시그너처 퓨즈 리드 모드로 진입한 후, 각각의 퓨즈 박스들(221, 222, ..., 22n)로부터 출력된 시그너처 퓨즈의 데이터(SIG_DAT)가 입력 버퍼(230) 및 비트-라인 센스 앰플리파이어(250)를 통해 메모리 셀 어레이(260)의 메모리 셀들에 기입된다. 그 후, 상기 시그너처 퓨즈 리드 모드가 종료된 후, 상기 메모리 셀 어레이(260)의 메모리 셀들에 기입된 시그너처 퓨즈의 데이터(SIG_DAT)는 노멀 리드 동작에 의해 출력 버퍼(280)를 통해 데이터 입력/출력 핀(290)으로 독출된다.

<52> 따라서, 본 발명의 일 실시예에 따른 반도체 메모리 장치(200)는 출력 버퍼(280)에 시그너처 퓨즈의 데이터를 출력하기 위한 회로들(즉, 퓨즈박스 선택회로(210) 및 퓨즈박스들(221, 222, ..., 22n))이 연결되지 않으므로, 출력 버퍼(280)의 부하가 증가되지 않는다. 그 결과,

노멀 리드 동작이 수행될 때, 출력 버퍼(280)를 통해 출력되는 데이터의 독출 속도가 감소되지 않을 수 있다.

<53> 도 4는 도 3에 도시된 퓨즈박스 선택회로를 보다 상세히 나타내는 도면이다. 도 4를 참조하면, 퓨즈박스 선택회로(210)는 복수개의 단위 선택 회로(unit selection circuit)들(211 ~ 21n)을 포함한다.

<54> 제1 단위 선택 회로(211)는 제1 디코더(2111), 제2 디코더(2112), 및 AND 회로(2113)를 포함한다. 제1 디코더(2111)는, 클락 신호(CLK)에 각각 동기된 커맨드 신호(CMD)와 어드레스 신호(ADDR)의 조합을 디코딩하여, 테스트 모드 중 시그너처 리드 모드의 활성화/비활성화를 지시하는 시그너처 퓨즈 리드 모드 신호(SIG_RD)를 발생한다. 한편, 도 4에는 도시되지 않았지만, 상기 시그너처 리드 모드 이전에 셋팅될 수 있는 디렉트 액세스 모드의 활성화/비활성화를 지시하는 신호는 소정의 디코더를 통해 발생될 수 있다. 제2 디코더(2112)는, 클락 신호(CLK)에 각각 동기된 커맨드 신호(CMD)와 어드레스 신호(ADDR)의 조합을 디코딩하여, 퓨즈박스 선택신호(SEL_BOX1)를 발생한다. AND 회로(2113)는 시그너처 퓨즈 리드 모드 신호(SIG_RD)와 제1 퓨즈박스 선택신호(SEL_BOX1)를 논리곱하여 도 3의 퓨즈박스(221)를 선택하는 선택 신호(CH01)를 발생한다.

<55> 한편, 제1 단위 선택 회로(211)를 제외한 나머지 단위 선택 회로들(212 ~ 21n)은 제 1 단위 선택 회로(211)와 거의 동일한 구성요소들을 포함하므로, 본 명세서에서는 설명의 편의를 위하여 나머지 단위 선택 회로들(212 ~ 21n)에 대한 상세한 설명은 생략된다. 다만, 상기 단위 선택 회로들(212 ~ 21n) 각각 포함되는 상기 제2 디코더(2112)에 대응되는 구성 요소를 통해 퓨즈박스 선택 신호들(SEL_BOX2 ~ SEL_BOXn)이 발생되고, 각각의 단위 선택 회로들(212~21n)을 통해 그에 대응하는 퓨즈 박스들(222~22n)을 선택하는 선택 신호들(CH02 ~ CH0n)이 발생된다.

- <56> 도 5는 도 3에 도시된 퓨즈 박스들 중 하나를 보다 상세히 나타내는 회로도이다. 도 5를 참조하면, 퓨즈 박스(221)는 퓨즈 회로(2211) 및 NMOS 트랜지스터(MN2)를 구비한다. 보다 구체적으로, 퓨즈 회로(2211)는, 시그너처 퓨즈(F1), 피모스(PMOS) 트랜지스터(MP), 엔모스(NMOS) 트랜지스터(MN1), 및 래치 회로(latch circuit)를 구성하는 인버터들(INV1, INV2)을 포함한다. 전원 전압(VDD)이 시그너처 퓨즈(F1)의 일단에 인가되고, 접지 전압(VSS)이 엔모스 트랜지스터(MN1)의 소스(source)에 인가된다.
- <57> 퓨즈 회로(2211)는, 펄스 신호(VCCHB)에 응답하여, 시그너처 퓨즈(F1)의 절단 여부에 따른 "1"의 데이터 또는 "0"의 데이터를 상기 인버터들(INV1, INV2)의 출력 노드(NODE)에 저장한다. 펄스 신호(VCCHB)는 반도체 메모리 장치(200)에 전원 전압이 공급되어 파워-업(power-up)이 될 때 소정의 시간 동안 하이 레벨로서 활성화되는 신호이다. 시그너처 퓨즈(F1)가 절단되지 않은 경우, 펄스 신호(VCCHB)에 응답하여 "0"의 데이터가 출력 노드(NODE)에 저장되고, 시그너처 퓨즈(F1)가 절단된 경우, 펄스 신호(VCCHB)에 응답하여 "1"의 데이터가 출력 노드(NODE)에 저장된다.
- <58> NMOS 트랜지스터(MN2)는, 선택 신호(CHO1)에 응답하여, 퓨즈 회로(2211)의 출력 노드(NODE)에 저장된 시그너처 퓨즈의 데이터(SIG_DAT)를 출력한다.
- <59> 한편, 퓨즈 박스(221)를 제외한 나머지 퓨즈 박스들(222 ~ 22n)들도 퓨즈 박스(221)의 구성 요소들도 동일한 구성 요소들을 포함하므로, 본 명세서에서는 그것에 대한 상세한 설명은 생략된다. 그리고, 도 5에 도시된 퓨즈 박스(221)는 1 비트의 데이터를 저장하는 하나의 퓨즈 회로를 포함하는 것으로 도시되었지만, 퓨즈 박스(221)의 다른 실시에는 다수개의 데이터 비트들을 저장하는 복수개의 퓨즈 회로들을 포함할 수도 있다.

<60> 도 6은 본 발명의 다른 실시예에 따른 시그너처 퓨즈의 데이터를 노멀 리드 동작을 통해 독출할 수 있는 반도체 메모리 장치를 나타내는 블록 다이어그램이다. 도 6을 참조하면, 본 발명의 다른 실시예에 따른 반도체 메모리 장치(300)는 퓨즈박스 선택회로(310), 복수개의 퓨즈 박스들(321, 322, ..., 32n), 입력 버퍼(330), 칼럼 디코더(340), 비트-라인 센스 앰플리파이어(350), 메모리 셀 어레이(360), 로우 디코더(370), 내부 어드레스 발생기(internal address generator, 380), 출력 버퍼(385), 및 데이터 입력/출력 핀(DQ, 390)을 포함한다.

<61> 본 발명의 다른 실시예에 따른 반도체 메모리 장치(300)는 본 발명의 일 실시예에 따른 반도체 메모리 장치(200)와 비교할 때 내부 어드레스 발생기(380)를 더 구비한다. 즉, 본 발명의 일 실시예에 따른 반도체 메모리 장치(200)에서 사용되는 어드레스 신호는 외부에서 인가되는 외부 어드레스 신호이지만, 본 발명의 다른 실시예에 따른 반도체 메모리 장치(300)에서 사용되는 어드레스 신호는 내부 어드레스 발생기(380)로부터 발생하는 내부 어드레스 신호이다. 내부 어드레스 발생기(380)는 각각의 퓨즈 박스들(321, 322, ..., 32n)을 선택하는 데 사용되는 처음 어드레스부터 마지막 어드레스까지의 내부 어드레스 신호(I_ADDR)를 자동으로 발생하며, 카운터(counter)를 포함한다.

<62> 퓨즈박스 선택회로(310)는, 클락신호(CLK)에 각각 동기된 커맨드 신호(CMD)와 내부 어드레스 신호(I_ADDR)의 조합에 응답하여, 각각의 퓨즈 박스들(321, 322, ..., 32n)을 선택하는 선택 신호(OPT_i, 여기서, $i = 1 \sim n$)를 발생한다. 상기 클락신호(CLK)에 각각 동기되는 커맨드 신호(CMD)와 내부 어드레스 신호(I_ADDR)의 조합은 반도체 메모리 장치(300)가 테스트 모드의 일종인 디렉트 액세스 모드와 시그너처 퓨즈 리드 모드로 진입(entrance)하도록 하거나 또는 상기 시그너처 퓨즈 리드 모드를 종료하도록 하는 신호의 조합일 수 있다. 한편, 반도체 메모리 장치(300)는 상기 테스트 모드 중 디렉트 액세스 모드로 진입하지 않고 상기 시그너처 퓨즈

리드 모드로 바로 진입할 수도 있다. 퓨즈박스 선택회로(310)는 도 4에 도시된 퓨즈박스 선택 회로의 구성 요소들과 동일한 구성 요소들을 포함한다.

<63> 각각의 퓨즈 박스들(321, 322, ..., 32n)은 시그너처 퓨즈를 포함하고, 상기 시그너처 퓨즈의 절단 여부에 따른 "1"의 데이터 또는 "0"의 데이터를 저장한다. 각각의 퓨즈 박스들(321, 322, ..., 32n)은 선택 신호(OPTi)에 응답하여 상기 저장된 시그너처 퓨즈의 데이터(SIG_DAT)를 출력한다. 상기 데이터는 웨이퍼에서 반도체 칩(또는 다이(die))의 위치, 상기 반도체 칩을 포함하는 로트 번호, 및 상기 반도체 칩을 포함하는 웨이퍼 번호 등에 관한 정보를 포함할 수 있다. 각각의 퓨즈 박스들(321, 322, ..., 32n)은 도 5에 도시된 퓨즈 박스(221)의 구성 요소들과 동일한 구성 요소들을 포함한다.

<64> 입력 버퍼(330)는, 클락 신호(CLK)에 각각 동기된 커맨드 신호(CMD)와 내부 어드레스 신호(I_ADDR)의 조합에 응답하여, 각각의 퓨즈 박스들(321, 322, ..., 32n)로부터 출력되는 시그너처 퓨즈의 데이터(SIG_DAT) 또는 노멀 라이트 동작(normal write operation)에 의한 입력 데이터(DIN) 중 하나를 선택하여 비트-라인 센스 앰플리파이어(350)로 전달한다. 상기 클락 신호(CLK)에 각각 동기된 커맨드 신호(CMD) 및 내부 어드레스 신호(I_ADDR)의 조합은 반도체 메모리 장치(300)가 테스트 모드 중 시그너처 퓨즈 리드 모드 또는 노멀 라이트 동작으로 진입하도록 하는 신호의 조합이다. 그리고, 노멀 라이트 동작은 메모리 셀 어레이(360)의 메모리 셀들에 입력 데이터(DIN)를 기입하는 동작을 말한다.

<65> 메모리 셀 어레이(360)는 복수개의 메모리 셀들을 포함한다. 로우

디코더(370)는, 상기 각각의 퓨즈박스들(321, 322, ..., 32n)내의 시그너처 퓨즈를 선택하는 데 사용된 내부 어드레스 신호(I_ADDR) 중 로우 어드레스 신호(I_R_ADDR)를 디코딩하여, 워드 라인(word line, 미도시)을 통해 연결된 상기 각각의 메모리 셀들을 선택한다. 칼럼 디코더(340)는, 상기 각각의 퓨즈박스들(321, 322, ..., 32n)내의 시그너처 퓨즈를 선택하는 데 사용된 내부 어드레스 신호(I_ADDR) 중 칼럼 어드레스 신호(I_C_ADDR)를 디코딩하여, 칼럼 선택 라인 활성화 신호(CSL)를 발생한다. 여기서, 상기 칼럼 선택 라인 활성화 신호(CSL)는 상기 각각의 메모리 셀들에 연결된 비트 라인(bit line, 미도시)을 증폭하는 비트-라인 센스 앰플리파이어(350)를 통해 연결된 칼럼 선택 라인을 활성화시킨다.

<66> 시그너처 퓨즈의 데이터(SIG_DAT)가 메모리 셀 어레이(360)의 메모리 셀들에 기입된 후 독출되는 동작을 설명하면 다음과 같다. 먼저, 상기 노멀 라이트 동작에 의해, 데이터 입력/출력 핀(390), 입력 버퍼(330), 및 비트-라인 센스 앰플리파이어(350)를 통해 "0"의 입력 데이터(DIN)가 메모리 셀 어레이(360)의 메모리 셀들에 기입된다. 다음으로, 반도체 메모리 장치(300)가 테스트 모드 중 시그너처 퓨즈 리드 모드로 진입한 후, 각각의 퓨즈 박스들(321, 322, ..., 32n)로부터 출력된 시그너처 퓨즈의 데이터(SIG_DAT)가 입력 버퍼(330) 및 비트-라인 센스 앰플리파이어(350)를 통해 메모리 셀 어레이(360)의 메모리 셀들에 기입된다. 그 후, 상기 시그너처 퓨즈 리드 모드가 종료된 후, 상기 메모리 셀 어레이(360)의 메모리 셀들에 기입된 시그너처 퓨즈의 데이터(SIG_DAT)는 노멀 리드 동작에 의해 출력 버퍼(385)를 통해 데이터 입력/출력 핀(390)으로 독출된다.

<67> 따라서, 본 발명의 다른 실시예에 따른 반도체 메모리 장치(300)도 출력 버퍼(385)에 시그너처 퓨즈의 데이터를 출력하기 위한 회로들(즉, 퓨즈박스 선택회로(310), 퓨즈박스들(321, 322, ..., 32n), 및 내부 어드레스 발생기(380))이 연결되지 않으므로, 출력 버퍼(385)의 부하

가 증가되지 않는다. 그 결과, 노멀 리드 동작이 수행될 때, 출력 버퍼(385)를 통해 출력되는 데이터의 독출 속도가 감소되지 않을 수 있다.

<68> 도 7은 본 발명의 일 실시예에 따른 반도체 메모리 장치의 시그너처 퓨즈의 데이터를 노멀 리드 동작을 통해 독출하는 방법을 나타내는 플로우 차트이다.

<69> 초기화 단계(S100)에 따르면, "0"의 데이터가 노멀 라이트 동작에 의해 메모리 셀들에 기입되어 메모리 셀들의 데이터가 초기화된다.

<70> 테스트 모드 진입 단계(S105)에 따르면, 클락신호에 각각 동기된 커맨드 신호와 어드레스 신호의 조합은 반도체 메모리 장치를 테스트 모드 중 시그너처 퓨즈 리드 모드로 진입시킨다. 상기 시그너처 퓨즈 리드 모드의 진입 이전에 상기 반도체 메모리 장치는 디렉트 액세스 모드로 진입할 수도 있다. 상기 어드레스 신호는 반도체 메모리 장치 외부에서 별도로 인가되는 외부 어드레스 신호이다.

<71> 데이터 출력 단계(S110)에 따르면, 상기 어드레스 신호로부터 선택된 퓨즈 박스로부터 시그너처 퓨즈의 데이터가 출력된다. 상기 시그너처 퓨즈의 데이터는 시그너처 퓨즈의 절단 여부에 따른 "0"의 데이터 또는 "1"의 데이터이다.

<72> 데이터 기입 단계(S115)에 따르면, 상기 시그너처 퓨즈의 데이터가 상기 퓨즈 박스를 선택하는 데 사용되는 어드레스 신호와 동일한 어드레스 신호에 의해 선택되는 메모리 셀들에 기입된다.

<73> 확인 단계(S120)에 따르면, 상기 메모리 셀에 기입될 시그너처 퓨즈의 데이터가 마지막 시그너처 퓨즈의 데이터인 지 여부가 확인된다.

- <74> 확인 단계(S120)에서 상기 메모리 셀에 기입될 시그너처 퓨즈의 데이터가 마지막 시그너처 퓨즈의 데이터인 것으로 확인되면, 기입 단계(S125)로 진행된다. 기입 단계(S125)에 따르면, 마지막 시그너처 퓨즈의 데이터가 상기 퓨즈 박스를 선택하는 데 사용되는 어드레스 신호와 동일한 어드레스 신호에 의해 선택되는 메모리 셀에 기입된다.
- <75> 확인 단계(S120)에서 상기 메모리 셀에 기입될 시그너처 퓨즈의 데이터가 마지막 시그너처 퓨즈의 데이터가 아닌 것으로 확인되면, 데이터 기입 단계(S115)로 진행되고, 계속하여 시그너처 퓨즈의 데이터가 상기 퓨즈 박스를 선택하는 데 사용되는 어드레스 신호와 동일한 어드레스 신호에 의해 선택되는 메모리 셀들에 기입된다.
- <76> 테스트 모드 종료 단계(S130)에 따르면, 클락신호에 각각 동기된 커맨드 신호와 어드레스 신호의 조합은 상기 시그너처 퓨즈 리드 모드를 종료시킨다.
- <77> 데이터 독출 단계(S135)에 따르면, 상기 메모리 셀들에 기입된 시그너처 퓨즈의 데이터가 노멀 리드 동작에 의해 메모리 셀들로부터 독출된다.
- <78> 도 8은 본 발명의 다른 실시예에 따른 반도체 메모리 장치의 시그너처 퓨즈의 데이터를 노멀 리드 동작을 통해 독출하는 방법을 나타내는 플로우 차트이다.
- <79> 초기화 단계(S200)에 따르면, "0"의 데이터가 노멀 라이트 동작에 의해 메모리 셀들에 기입되어 메모리 셀들의 데이터가 초기화된다.
- <80> 테스트 모드 진입 단계(S205)에 따르면, 클락신호에 각각 동기된 커맨드 신호와 어드레스 신호의 조합은 반도체 메모리 장치를 테스트 모드 중 시그너처 퓨즈 리드 모드로 진입시킨다. 상기 시그너처 퓨즈 리드 모드의 진입 이전에 상기 반도체 메모리 장치는 디렉트 액세스

모드로 진입할 수도 있다. 상기 어드레스 신호는 반도체 메모리 장치의 내부 어드레스 발생기로부터 자동적으로 발생하는 내부 어드레스 신호이다.

- <81> 데이터 출력 단계(S210)에 따르면, 상기 내부 어드레스 신호로부터 선택된 퓨즈 박스로부터 시그너처 퓨즈의 데이터가 출력된다. 상기 시그너처 퓨즈의 데이터는 시그너처 퓨즈의 절단 여부에 따른 "0"의 데이터 또는 "1"의 데이터이다.
- <82> 데이터 기입 단계(S215)에 따르면, 상기 시그너처 퓨즈의 데이터가 상기 퓨즈 박스를 선택하는 데 사용되는 내부 어드레스 신호와 동일한 내부 어드레스 신호에 의해 선택되는 메모리 셀들에 연속적으로 기입된다.
- <83> 테스트 모드 종료 단계(S220)에 따르면, 클락신호에 동기된 커맨드 신호와 내부 어드레스 신호의 조합은 상기 시그너처 퓨즈 리드 모드를 종료시킨다.
- <84> 데이터 독출 단계(S225)에 따르면, 상기 메모리 셀들에 기입된 시그너처 퓨즈의 데이터가 노멀 리드 동작에 의해 메모리 셀들로부터 독출된다.
- <85> 이상에서와 같이 도면과 명세서에서 최적의 실시예들이 개시되었다. 여기서, 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<86> 본 발명에 따른 시그너처 퓨즈의 데이터를 노멀 리드 동작을 통하여 독출할 수 있는 반도체 메모리 장치 및 반도체 메모리 장치에 포함된 시그너처 퓨즈의 데이터를 노멀 리드 동작을 통하여 독출하는 방법은 테스트 모드에서 시그너처 퓨즈의 데이터를 메모리 셀에 기입한 후 노멀 리드 동작을 통해 독출할 수 있다. 따라서, 테스트 모드에서 시그너처 퓨즈의 데이터를 출력하기 위한 회로들이 시그너처 퓨즈의 데이터를 독출하는 출력 버퍼에 연결되지 않으므로, 출력 버퍼의 부하가 증가되지 않는다. 그 결과, 노멀 리드 동작이 수행될 때 출력 버퍼를 통해 출력되는 데이터의 독출 속도가 감소되지 않을 수 있다.

【특허청구범위】**【청구항 1】**

복수개의 메모리 셀들을 포함하는 메모리 셀 어레이를 구비하는 반도체 메모리 장치에 있어서,

상기 반도체 메모리 장치의 테스트 모드가 진행되는 동안 상기 각각의 메모리 셀들에 시그너처 퓨즈의 데이터를 기입하는 입력 버퍼; 및

상기 반도체 메모리 장치의 노멀 리드 동작을 통해 상기 기입된 시그너처 퓨즈의 데이터를 독출하는 출력 버퍼를 구비하며,

상기 시그너처 퓨즈의 데이터는 상기 시그너처 퓨즈의 절단 여부에 따른 "0"의 데이터 또는 "1"의 데이터인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 2】

제1항에 있어서, 상기 입력 버퍼는

클락신호에 각각 동기되는 소정의 커맨드 신호와 소정의 어드레스 신호의 조합에 응답하여, 상기 시그너처 퓨즈의 데이터 및 상기 반도체 메모리 장치의 노멀 라이트 동작에 의한 입력 데이터 중 하나를 상기 각각의 메모리 셀들에 기입하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 3】

제2항에 있어서, 상기 입력 데이터는

상기 시그너처 퓨즈의 데이터가 상기 각각의 메모리 셀들에 기입되기 전에 기입되는 "0"의 데이터인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 4】

제3항에 있어서, 상기 반도체 메모리 장치는

상기 클락 신호에 각각 동기되는 상기 커맨드 신호와 상기 어드레스 신호의 조합을 디코딩하여, 복수개의 선택 신호들을 발생하는 퓨즈박스 선택회로; 및

상기 각각의 선택 신호들에 응답하여, 상기 시그너처 퓨즈의 데이터를 각각 출력하는 복수개의 퓨즈 박스들을 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 5】

제4항에 있어서,

상기 각각의 퓨즈 박스들을 선택하기 위해 사용되는 상기 어드레스 신호는 상기 시그너처 퓨즈의 데이터가 기입되는 각각의 메모리 셀들을 선택하기 위해 사용되는 어드레스 신호인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 6】

제5항에 있어서,

상기 클락 신호에 각각 동기되는 상기 커맨드 신호와 상기 어드레스 신호의 조합은 상기 테스트 모드 중 시그너처 퓨즈 리드 모드로 진입하거나 또는 상기 시그너처 퓨즈 리드 모드를 종료하기 위한 신호의 조합인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 7】

제6항에 있어서, 상기 어드레스 신호는

상기 반도체 메모리 장치의 외부에서 인가되는 외부 어드레스 신호 또는 상기 반도체 메모리 장치의 내부 어드레스 발생기로부터 발생하는 내부 어드레스 신호인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 8】

반도체 메모리 장치에 포함된 시그너처 퓨즈의 데이터를 독출하는 방법에 있어서,

(a) 클락 신호에 각각 동기된 소정의 커맨드 신호와 소정의 어드레스 신호의 조합에 의해 테스트 모드 중 시그너처 퓨즈 리드 모드로 진입하는 테스트 모드 진입 단계;

(b) 상기 (a) 단계의 어드레스 신호에 의해 선택되는 퓨즈 박스에 포함된 시그너처 퓨즈의 데이터를 출력하는 데이터 출력 단계;

(c) 상기 출력된 시그너처 퓨즈의 데이터를 상기 (b) 단계의 어드레스 신호에 의해 선택되는 상기 반도체 메모리 장치의 메모리 셀들에 기입하는 데이터 기입 단계;

(d) 상기 클락 신호에 각각 동기된 소정의 커맨드 신호 및 소정의 어드레스 신호의 조합에 의해 상기 시그너처 퓨즈 리드 모드를 종료하는 테스트 모드 종료 단계; 및

(e) 상기 기입된 시그너처 퓨즈의 데이터를 노멀 리드 동작을 통해 독출하는 데이터 독출 단계를 구비하는 것을 특징으로 하는 시그너처 퓨즈의 데이터 독출 방법.

【청구항 9】

제8항에 있어서, 상기 (a) 단계는

노멀 라이트 동작을 통해 상기 메모리 셀들에 "0"의 데이터를 기입하는 초기화 단계를 포함하는 것을 특징으로 하는 시그너처 퓨즈의 데이터 독출 방법.

【청구항 10】

제9항에 있어서, 상기 (c) 단계는

(c1) 상기 메모리 셀들에 기입될 시그너처 퓨즈의 데이터가 마지막 시그너처 퓨즈의 데이터인 지 여부를 확인하는 확인 단계로서, 상기 마지막 시그너처 퓨즈의 데이터가 아니면 상기 (c) 단계로 진행하도록 하는 상기 확인 단계; 및

(c2) 상기 (c1) 확인 단계에서 상기 메모리 셀들에 기입될 시그너처 퓨즈의 데이터가 상기 마지막 시그너처 퓨즈의 데이터인 것으로 확인되면, 상기 마지막 시그너처 퓨즈의 데이터를 상기 메모리 셀에 기입하는 기입 단계를 포함하는 것을 특징으로 하는 시그너처 퓨즈의 데이터 독출 방법.

【청구항 11】

반도체 메모리 장치에 포함된 시그너처 퓨즈의 데이터를 독출하는 방법에 있어서,

(a) 클락 신호에 각각 동기된 소정의 커맨드 신호와 소정의 내부 어드레스 신호의 조합에 의해 테스트 모드 중 시그너처 퓨즈 리드 모드로 진입하는 테스트 모드 진입 단계;

(b) 상기 (a) 단계의 내부 어드레스 신호에 의해 선택되는 퓨즈 박스에 포함된 시그너처 퓨즈의 데이터를 출력하는 데이터 출력 단계;

(c) 상기 출력된 시그너처 퓨즈의 데이터를 상기 (b) 단계의 내부 어드레스 신호와 동일한 내부 어드레스 신호에 의해 선택되는 상기 반도체 메모리 장치의 메모리 셀들에 연속적으로 기입하는 기입 단계;

(d) 상기 클락 신호에 각각 동기된 소정의 커맨드 신호 및 소정의 어드레스 신호의 조합에 의해 상기 시그너처 퓨즈 리드 모드를 종료하는 테스트 모드 종료 단계; 및

(e) 상기 기입된 시그너처 퓨즈의 데이터를 노멀 리드 동작을 통해 독출하는 데이터 독출 단계를 구비하는 것을 특징으로 하는 시그너처 퓨즈의 데이터 독출 방법.

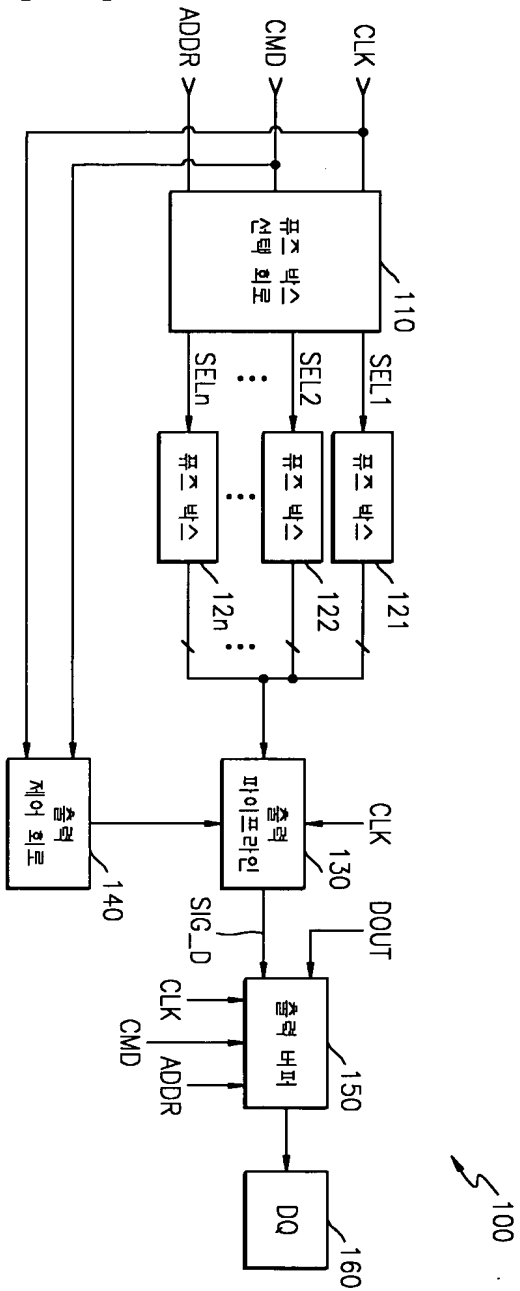
【청구항 12】

제10항에 있어서, 상기 (a) 단계는

노멀 라이트 동작을 통해 상기 메모리 셀들에 "0"의 데이터를 기입하는 초기화 단계를 포함하는 것을 특징으로 하는 시그너처 퓨즈의 데이터 독출 방법.

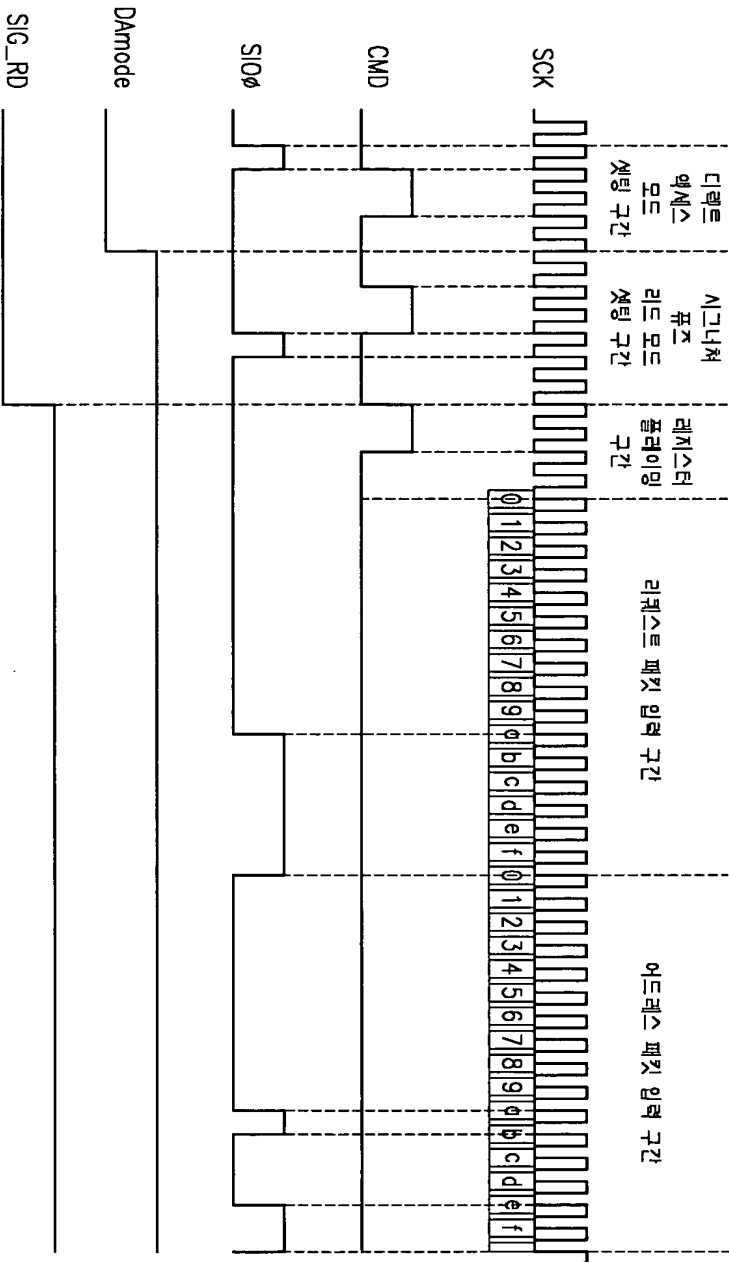
【도면】

【도 1】



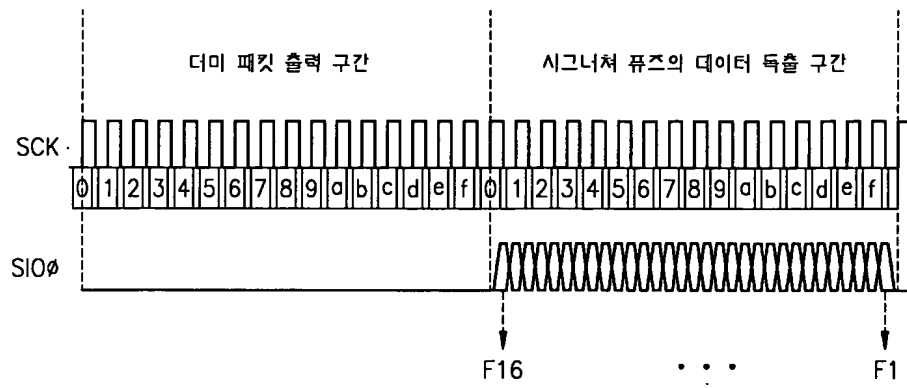


【도 2a】

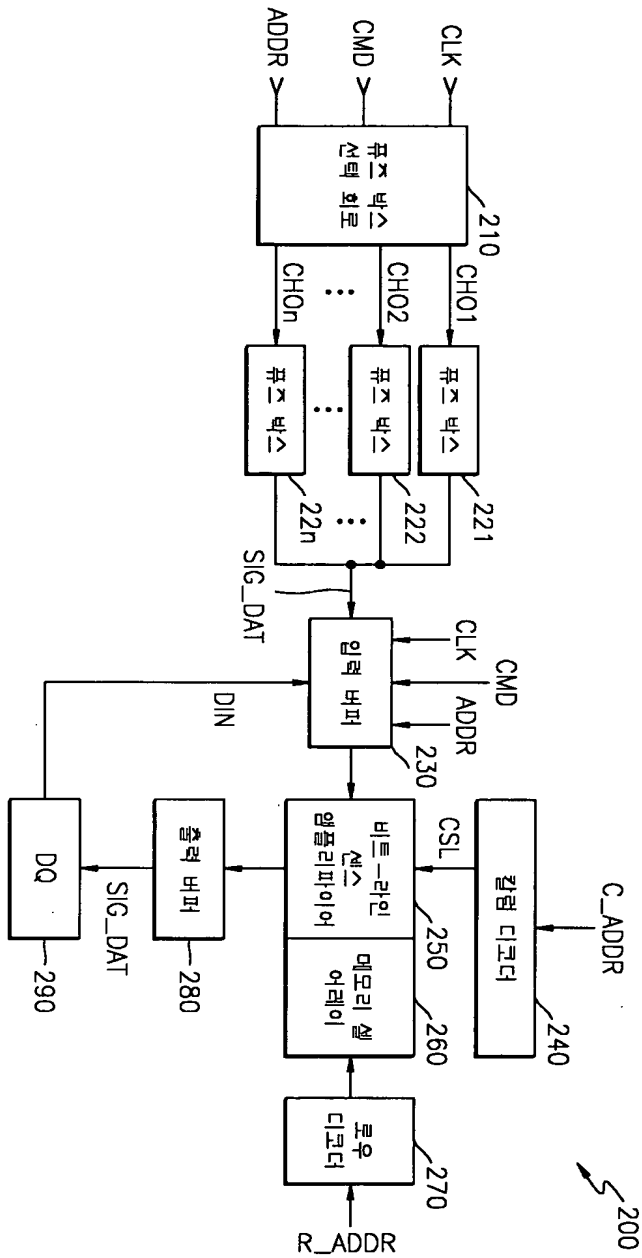




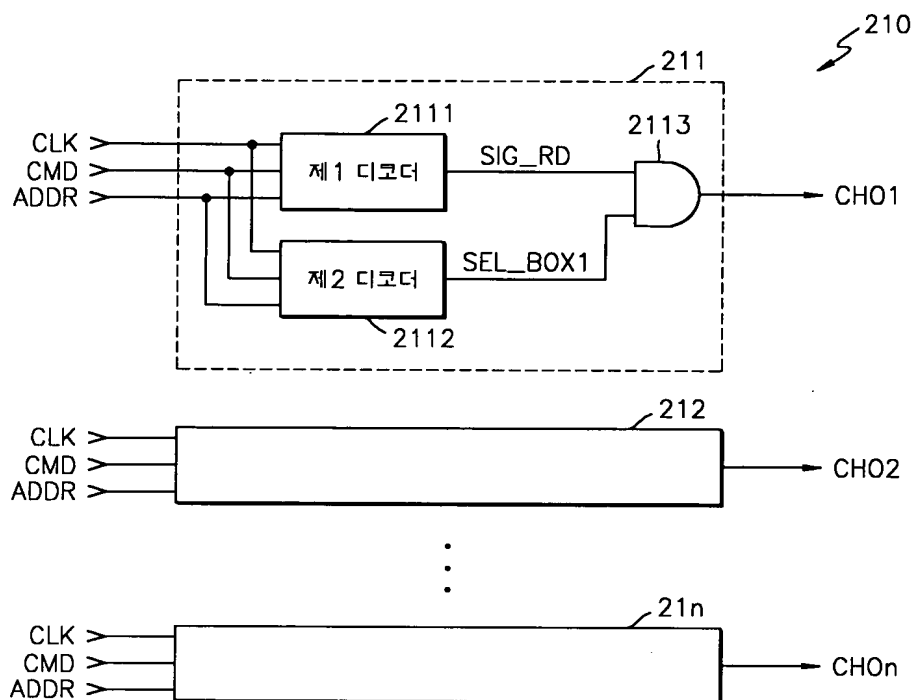
【도 2b】



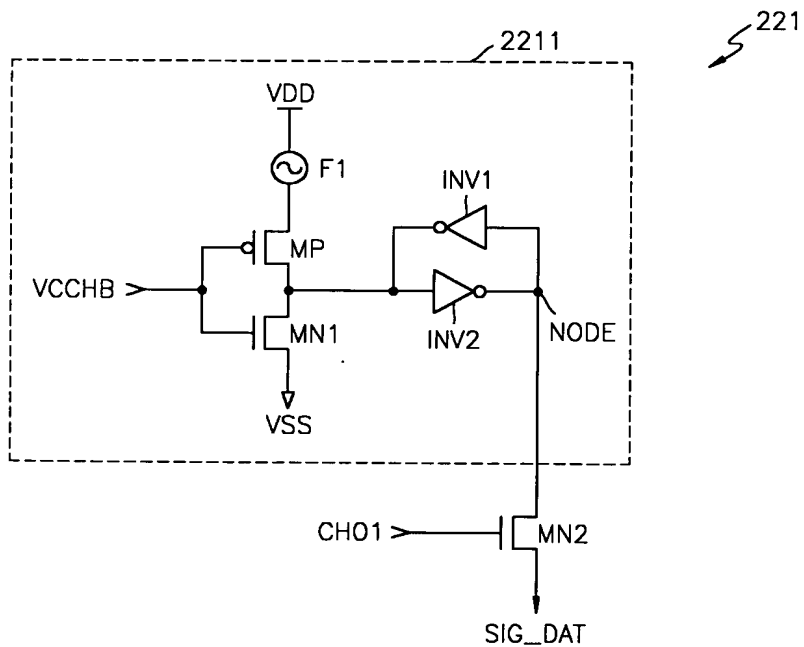
【도 3】



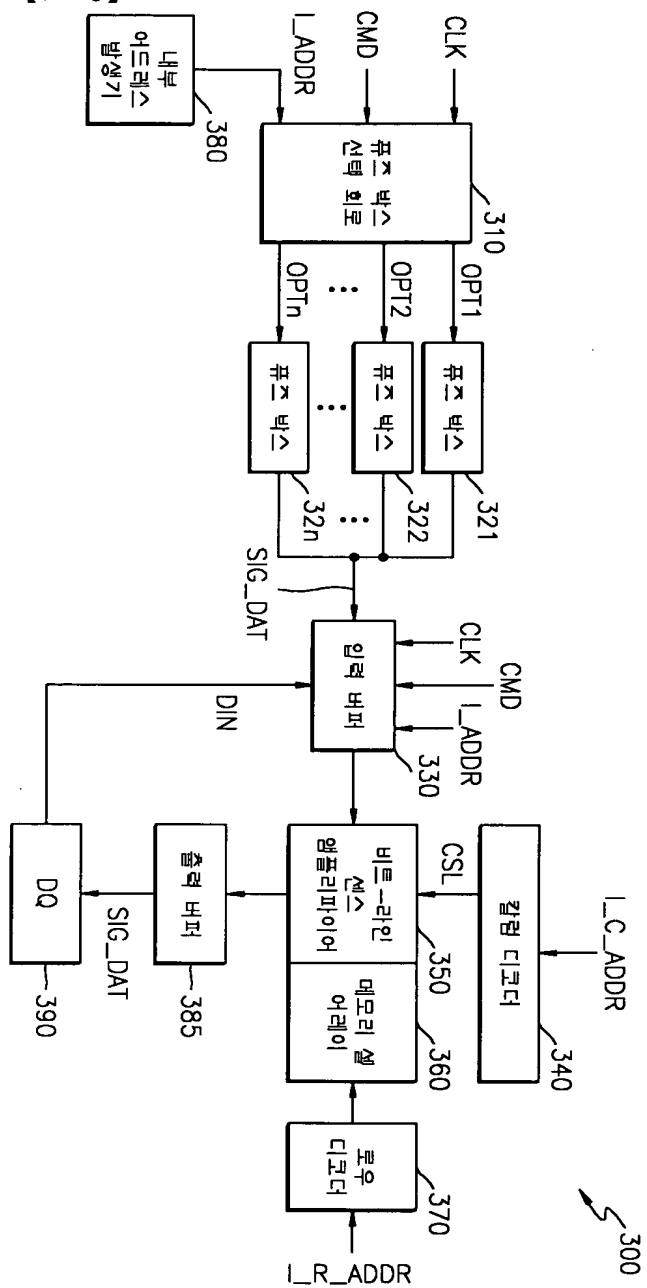
【도 4】



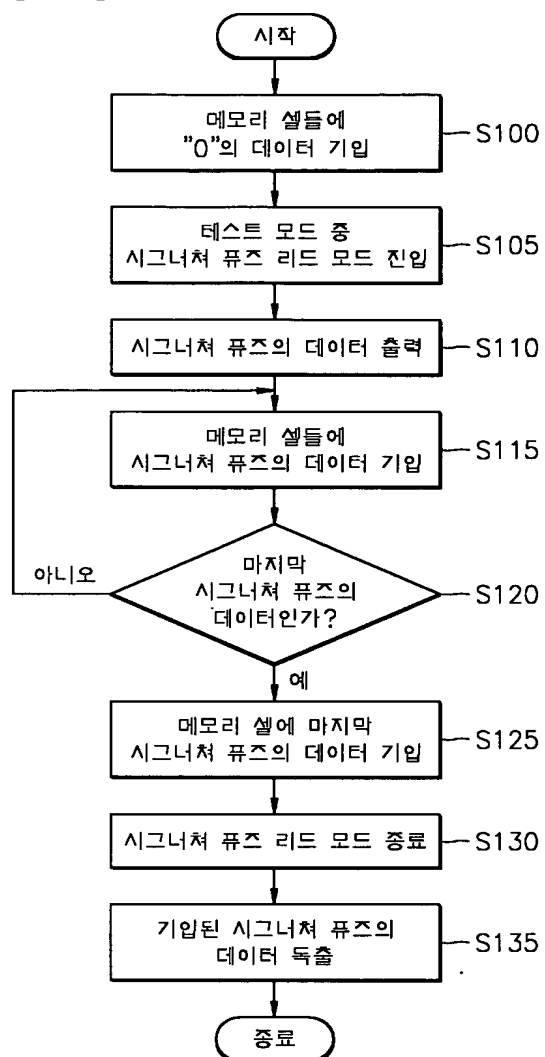
【도 5】



【도 6】



【도 7】



【도 8】

